

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-076594

(43)Date of publication of application : 18.03.1994

(51)Int.Cl.

G11C 29/00
G11C 11/401
H01L 21/82
H01L 27/108

(21)Application number : 04-225866

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.08.1992

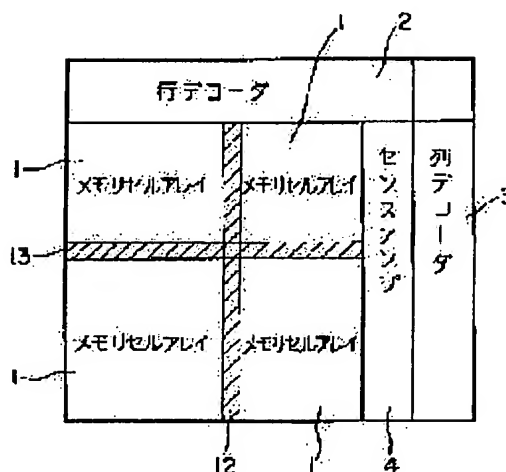
(72)Inventor : ICHIGUCHI TETSUICHIRO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To improve a relief rate by means of a redundant circuit by arranging a redundant memory cell on the mid section of a memory cell array when a redundant memory is provided on a dynamic RAM.

CONSTITUTION: A dynamic RAM is composed of a memory cell array 1, a row decoder 2, a column decoder 3 and a sense amplifier 4 and the array 1 is provided with redundant memory cells 12, 13 composed of one row and one column i.e., spare memory cells. In such a constitution, concerning the arranging position of the cells 12, 13, by avoiding the outermost periphery on which the periodicity is easily broken, these cells are arranged crosswise on the middle of the array 1 having the stable periodicity of a pattern. Consequently, the probability of the occurrence of defective parts in a redundant row 12 and a redundant column 13 is reduced and a repair enabling rate i.e., the relief rate is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-76594

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 29/00

3 0 1 B

6741-5L

11/401

H 0 1 L 21/82

6741-5L

G 1 1 C 11/ 34

3 7 1 D

8225-4M

H 0 1 L 21/ 82

R

審査請求 未請求 請求項の数 2(全 3 頁) 最終頁に続く

(21)出願番号

特願平4-225866

(22)出願日

平成4年(1992)8月25日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 市口 哲一郎

伊丹市瑞原4丁目1番地 三菱電機株式会社
北伊丹製作所内

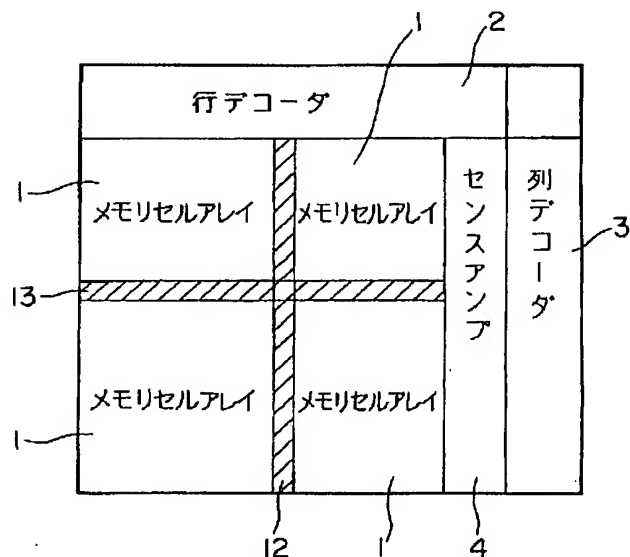
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 半導体記憶装置のリペアイネーブル(救済)率向上が目的である。

【構成】 半導体記憶装置の置換用予備のメモリセル群12、13(冗長行、冗長列)をメモリセルアレイ1の最外周以外に配置して、レイアウト構成、回路構成をおこなう。



【特許請求の範囲】

【請求項1】 冗長メモリセルをメモリセルアレイの中央部分に配置したことを特徴とする半導体記憶装置。

【請求項2】 冗長メモリセルをメモリセルアレイの不良になる確率が最も低い最外周以外に配置したことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、ダイナミックRAMなどの半導体記憶装置の冗長メモリセルに関するものである。

【0002】

【従来の技術】ダイナミックRAMをはじめとする半導体MOSメモリの高集積化、大容量化には近年めざましいものがあるが、その高集積化に対する必須技術として冗長回路技術がある。数十メガビット分のメモリセルがすべて不良なく、正常動作するという事は稀なこととなっており、あらかじめ、正規のメモリセル群以外に予備のメモリセル群を設けておき、正規のメモリセルに不良が生じた場合、予備のメモリセルと置換して、不良品を救済して良品にするというのが冗長回路技術である。

【0003】従来の半導体記憶装置の構成について図2を参照しながら説明する。図2は、従来のダイナミックRAMのメモリセルアレイ周辺を示す図である。

【0004】図2において、従来のダイナミックRAMは、メモリセルアレイ1、行デコーダ2、列デコーダ3、センスアンプ4で構成されている。そして、メモリセルアレイ1には、1行1列の冗長回路10、11、つまり予備のメモリセルが設けられている。

【0005】正規のメモリセルアレイ1に欠陥があった場合、この予備のメモリセル10、11に置換するのであるが、従来、この予備メモリセル10、11がアレイの最外周に位置していたため、予備メモリセル自体が不良になっている場合があり、置換しても不良が解消されないという問題点があった。

【0006】この場合、再置換することは極めてむずかしく、セルアレイの最外周では周期性がくずれ、さらに、不良が生じやすいという現象はセルの3次元化に伴い、ますます顕著になってきている。

【0007】

【発明が解決しようとする課題】上述したような従来の半導体記憶装置では、メモリセルアレイの最外周に配置されていたため、最外周はアレイの周期性がくずれやすいことから不良になりやすい。よって、メモリセルの置換を行っても不良が解消されないという問題点があった。

【0008】この発明は、上記のような問題点を解消するためになされたもので、冗長回路によるリペアイネーブル（救済）率の向上を図ることができる半導体記憶装

置を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明の請求項1に係る半導体記憶装置は、冗長メモリセルをメモリセルアレイの中央部分に配置したものである。

【0010】この発明の請求項2に係る半導体記憶装置は、冗長メモリセルをメモリセルアレイの不良になる確率が最も低い最外周以外に配置したものである。

【0011】

【作用】この発明においては、冗長メモリセルをメモリセルアレイの中央部分に配置したので、リペアイネーブル（救済）率の向上をはかれる。

【0012】また、この発明においては、冗長メモリセルをメモリセルアレイの不良になる確率が最も低い最外周以外に配置したので、リペアイネーブル（救済）率の向上をはかれる。

【0013】

【実施例】

実施例1. 以下、この発明の実施例1について図1を参照しながら説明する。図1は、この発明の実施例1を示す図である。図1において、実施例1は、メモリセルアレイ1、行デコーダ2、列デコーダ3、センスアンプ4で構成されている。そしてメモリセルアレイ1には、1行1列の冗長メモリセル12、13、つまり予備のメモリセルが設けられている。

【0014】従来例の図2に比して、本発明の実施例1では冗長メモリセル12、13の配置箇所が異なる。つまり、セルアレイの周期性がくずれやすい最外周を避けて、パターン周期性が安定なメモリセルアレイ1の中央に配置するのである。こうすることにより、冗長メモリセル12、13に不良が起こる確率は減少し、リペアイネーブル（救済）率は向上する。

【0015】この発明の実施例1は、前述したように、半導体記憶装置のリペアイネーブル（救済）率向上が目的である。そこで、半導体記憶装置の置換用予備のメモリセル群12、13（冗長行、冗長列）をメモリセルアレイ1の中央部分に配置して、レイアウト構成、回路構成を行ったものである。

【0016】実施例2. なお、上記実施例1では、冗長メモリセル12、13をメモリセルアレイ1の中央部に配置する場合について述べたが、もちろん、そのデバイス特有の設計マージン、プロセスマージン等考慮して、最も不良になる確率が低い、メモリセルアレイの最外周以外の場所を調査して、そこに配置するのが得策である。

【0017】

【発明の効果】以上のように、この発明によれば、置換用予備のメモリセル群（冗長行、冗長列）をメモリセルアレイの中央部分、あるいは最外周以外に配置したので、リペアイネーブル率の向上がはかれるという効果を

奏する。

【図面の簡単な説明】

【図1】この発明の実施例1を示す図である。

【図2】従来の半導体記憶装置であるダイナミックRAMのメモリセルアレイ周辺を示す図である。

【符号の説明】

1 メモリセルアレイ

2 行デコーダ

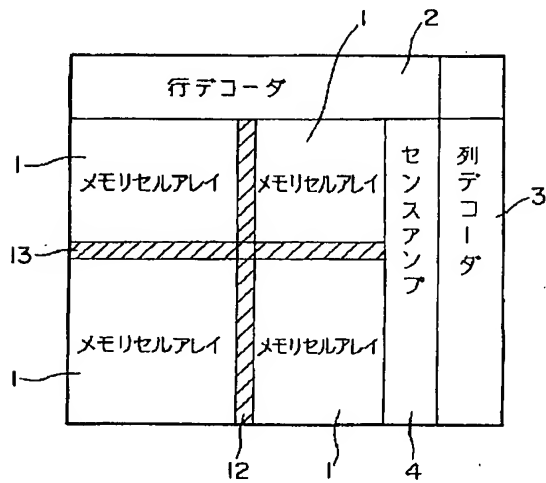
3 列デコーダ

4 センスアンプ

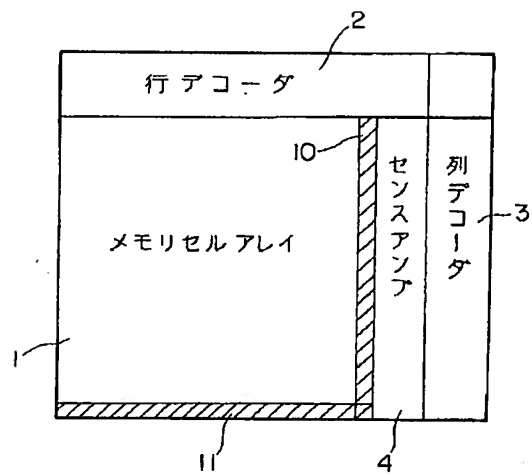
12 冗長メモリセル (行)

13 冗長メモリセル (列)

【図1】



【図2】



フロントページの続き

(51) Int. Cl.⁵

H01L 27/108

識別記号

庁内整理番号

F I

技術表示箇所

8728-4M

H01L 27/10

325 R